

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**


**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## Memory controller with a programmable strobe delay

Patent Number: ☐ [EP0855653](#)  
Publication date: 1998-07-29  
Inventor(s): THOULON PIERRE-YVES (FR)  
Applicant(s): HEWLETT PACKARD CO (US)  
Requested Patent: ☐ [JP10232818](#)  
Application Number: EP19970410009 19970123  
Priority Number(s): EP19970410009 19970123  
IPC Classification: G06F13/42; G06F13/16  
EC Classification: [G06F13/16](#), [G06F13/42C3A](#)  
Equivalents:  
Cited patent(s): [EP0379772](#); [US5557782](#); [US5560000](#); [US5509138](#)

### Abstract

A memory controller is providing that has a clock line (7) for a clock signal; a data bus (2) for connecting to at least one memory module (3, 4, 5); a data latch (6) connected to the data bus (2), for latching data under control of a strobe signal; and a programmable delay (20) for providing the strobe signal in programmed timing relation to the clock signal. The programmable delay comprises, for example, a programmable delay line connected between the clock line (1) and an enabling input (9) of the data latch (6). This arrangement permits the timing of the strobe signal to be adjusted to compensate for changes

in memory configuration and other system parameters. 

Data supplied from the **esp@cenet** database - I2

출력 일자: 2002/9/27

발송번호 : 9-5-2002-035051237

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2002.09.26

층

제출기일 : 2002.11.26

이영필 귀하

137-874

## 특허청 의견제출통지서

02. 27

출원인 명칭 삼성전자 주식회사 (출원인코드: 119981042713)

11610

주소 경기 수원시 팔달구 매탄3동 416

대리인 성명 이영필 외 2 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층

출원번호 10-2000-0050164

발명의 명칭 프로그램이 가능한 지연버퍼를 구비하는 반도체 메모리장치 및 메모리 컨트롤러

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하 여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청 에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제 1-23.항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제 29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

본원의 메모리장치 및 메모리 컨트롤러, 메모리 시스템, 지연시간조절방법은 지연제어레지스터에 저장된 지연제어정보에 의하여 버퍼부의 지연시간을 조절하는 것을 특징으로 하고 있으나, 이는 메모리 컨트롤러내에 지연프로그램장치와 프로그램가능지연수단을 구비하여 고속처리가 가능한 메모리컨트롤러[일본공개특허 평10-232818]과 메모리 컨트롤러 내에 Programmable Delay Module을 구비하여 Set up 시간과-hold 시간을 충분히 제어가능한 동기메모리 데이터독출장치 및 방법 [US\_5946712]의 조합으로 용이하게 발명할 수 있습니다.

### [첨부]

첨부 1 일본공개특허 평10-232818(1998.9.2)사본1부

첨부2 US\_5946712(1999.8.31)사본1부 끝.

2002.09.26

특허청

심사4국

정보 심사담당관실

심사관 최정윤



0V14962

출력 일자: 2002/9/27

<<안내>>

문의사항이 있으시면 ☎ 042-481-5686 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

(18)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-232818

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/00

識別記号

5 6 4

FI

G 0 6 F 12/00

5 6 4 A

審査請求 未請求 請求項の数1 OL (全9頁)

(21)出願番号 特願平10-4583  
 (22)出願日 平成10年(1998)1月13日  
 (31)優先権主張番号 97410009.1  
 (32)優先日 1997年1月23日  
 (33)優先権主張国 ヨーロッパ特許庁 (EP)

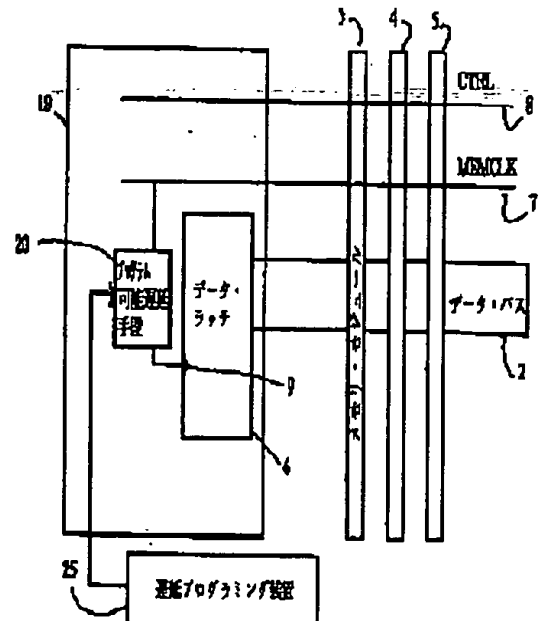
(71)出願人 580000400  
 ヒューレット・パカード・カンパニー  
 アメリカ合衆国カリフォルニア州パロアル  
 ト ハノーバー・ストリート 3000  
 (72)発明者 ソーロン・ピエール・イブス  
 フランス、グルノーブル、エフ-88000、  
 ル・デゥ・バレス 2  
 (74)代理人 弁理士 岡田 次生

(54)【発明の名称】 メモリ・コントローラ

(57)【要約】

【課題】メモリ構成の変化に柔軟に対処できるストローブ信号生成手段を持つメモリ・コントローラを提供する。

【解決手段】クロック信号に連係するようにプログラムされたタイミングでストローブ信号を提供するプログラム可能手段をメモリ・コントローラに備える。該プログラム可能手段は、メモリ構成に対応したストローブ信号を生成できるように自動的にプログラムされ、例えば、該メモリ・コントローラを含むシステムの電力投入と同時にプログラムが実行されるように構成される。また、信号遅延特性の変化を検出するため信号遅延特性を示すパラメータの値を定期的に測定し、検出される信号遅延特性における変化にตอบสนองして、上記プログラム手段のプログラムを漸増的に変更して、上記変化に対応する適切なストローブ信号のタイミングが決定され、上記プログラム可能手段に組み込まれる。



#### 【特許請求の範囲】

【請求項1】クロック信号のためのクロック信号線と、少なくとも1つのメモリ・モジュールに接続するデータ受け取り手段と、上記データ受け取り手段に接続しストロブ信号の制御のもとデータをラッチするデータ・ラッチ手段と、上記クロック信号に係合するようにプログラムされたタイミングで上記ストロブ信号を提供するプログラム可能手段と、を備えるメモリ・コントローラ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、プログラム可能なストロブ遅延機能を持つメモリ・コントローラに関するもので、特に、そのようなメモリ・コントローラをプログラムする方法およびメモリ・コントローラにおけるデータ読み取りの信頼性を向上させる方法に関するものである。

##### 【0002】

【従来の技術】本発明は、メモリからデータを読み取る問題を対象とする。図1は、データ・バス2およびいくつかのメモリ・モジュール3、4および5を含む従来の技術のメモリ・コントローラを示すブロック図である。メモリ・コントローラの内部は、データ・バス2に接続する一連のデータ・ラッチ機構6を含む。メモリ・クロック信号MEMCLKが、メモリ・コントローラ1およびいくつかの異なるメモリ・モジュールを通過する信号線7上に存在する。メモリ・コントローラ1は、異なるメモリ・モジュールからデータを読み取るため信号線8上に制御信号CTRLを伝送する。この場合、信号のタイミングはクロック信号MEMCLKと関係する。メモリ・バス上のデータは、入力9がストロブ信号(strobe signal)によって動作可能状態にされている時データ・ラッチ機構6においてラッチされる。図1には、メモリ・アドレス制御線およびメモリ書き込み制御線は図示されていない。

【0003】図2は、図1の装置における種々の信号のタイミング図である。図2において、符号10は信号線7上のメモリ・クロックMEMCLKである。データがメモリ・モジュール3、4、5から読み取られる時、読み取り信号CTRL 11が信号線8上に伝送される。一定数のメモリ・クロック・サイクル(例えば図2の場合3サイクル)の後、メモリ・コントローラにおけるデータ・ラッチ6の入力9が動作可能状態にされ、データ・バスを介してメモリ・モジュール3、4、5から到来するデータがラッチされる。符号12は、データ・ラッチ6を動作可能にさせるストロブ信号を示し、符号13、14および15は、データ・バス2の上の種々のメモリ・モジュール3、4、5によって送られるそれぞれのデータを示す。符号16は、メモリ・モジュール3、4および5からのデータが有効な状態で読み取られることができる

時間間隔を意味するデータ窓を示す。

【0004】図1のシステムにおいては、読み取り制御信号11と入力9におけるデータ・ラッチを動作可能にするストロブ信号の間の遅延は、図1におけるCTRL信号線7と入力9の間のブロック17によって示されているように、ハードウェアによって設定される。

【0005】また、データ・バスの適切な読み取りを保証するように各クロック・サイクルにおいて適切なタイミングでストロブ信号を発生させてあらゆるクロック・サイクル毎にデータをラッチ6に読み取ることでストロブ信号は生成される形態が提案されている。しかしながら、CTRL信号オンの後MEMCLK信号が適切な回路によってあらかじめ定められた数カウントされた場合にのみデータ・ラッチの内容は有効と見なされる。このアプローチにおいて、ストロブ信号は、遅延されたクロック信号MEMCLKによって形成されるクロック信号であり、これら2つのクロックの間の遅延は、例えば、メモリ・コントローラ回路上の2つのピンの間の所与の長さの伝導経路によって設定される。

【0006】上記の諸構成はいくつかの欠点を持つ。第1に、そのような構成は、メモリ・モジュールの構成変更の影響という問題に対処できず、従って、高度実装メモリあるいは高速メモリに関してうまく働かないであろう。第2に、ストロブ信号とCTRL信号の遅延の計算は、困難な作業であり、遅延の正しい統計的値を決定するには膨大な実験を伴う。

##### 【0007】

【発明が解決しようとする課題】かくして、高度実装メモリあるいは高速メモリ構成において遭遇されるデータ読み取りの問題に対処することが必要とされる。メモリ・バスが高度に実装される場合、例えば、同一メモリ・バス上に4またはそれ以上のメモリ・モジュールが存在する場合に、この問題は発生する。また、高速メモリ、例えば100MHz以上のメモリ・クロックや同期メモリ・システムの場合この問題は発生する。このような場合、メモリ・モジュール間の伝送時間の相違は無視することができない。データを読み取るデータ窓16(図2)はかなり小さくなり、すべての可能な構成における正しい読み取りを保証することが困難となる。実際、125MHzのクロック周波数の場合典型的には約4または5nsの間に各メモリ・モジュールからデータが読み取られ、データ窓16はシステムにおける種々の片寄りによって縮小される。

【0008】更に、データ窓16の位置および持続時間はメモリ・バスの負荷に依存し、メモリ・バス自体もメモリ・モジュールの実際の構成に依存するという事実が問題を発生させる。メモリ構成は固定的ではなく、ユーザの要求に従っていつでも変わり得る。これらの問題は、メモリ構成の如何にかかわらず全速力で動作しかつ信頼性を保ちながらデータをラッチすることができるよう

なメモリ・コントローラ的设计を非常に難しくしている。メモリ・バスの負荷やメモリ・コントローラの実際の構成がどのようなものであろうと、また高速な場合であろうと、メモリ構成の如何にかかわらず、全速力で動作しかつ信頼性を保ちながらデータをラッチすることができるメモリ・コントローラが求められている。

#### 【0009】

【課題を解決するための手段】本発明は、第1の局面において、クロック信号のためのクロック信号線、少なくとも1つのメモリ・モジュールに接続するデータ受け取り手段、データ受け取り手段に接続しストロブ信号の制御のもとデータをラッチするデータ・ラッチ手段、および、クロック信号に係るようにプログラムされたタイミングでストロブ信号を提供するプログラム可能手段、を備えるメモリ・コントローラを提供する。

【0010】1つの側面において、上記プログラム手段は、上記クロック信号線と上記データ・ラッチ手段の間に配置されて動作するプログラム可能遅延手段を含む。別の側面において、上記プログラム手段は、上記クロック信号と連係したタイミングで生成されるメモリ読取信号を搬送する機能を持つメモリ制御信号線と上記データ・ラッチ手段の間に配置されて動作するプログラム可能遅延機構を含む。

【0011】更に本発明の別の側面において、上記プログラム可能遅延手段は、ストロブ信号を作成するため上記プログラム手段を自動的にプログラムする機能を含み、それによって、上記プログラム手段は、例えば、該メモリ・コントローラを含むシステムの電力投入と同時にプログラムを実行するように動作する。

【0012】更に、上記メモリ・コントローラを組み入れるシステムにおいて、信号遅延特性の変化を検出するため該システムにおける信号遅延特性を示すパラメータの値を定期的に測定する第1の手段、上記第1の手段によって検出される信号遅延特性における変化にตอบสนองして、上記プログラム手段のプログラムを漸増的に変更して、上記変化に対応するように上記タイミングを補正する第2の手段が提供される。

【0013】本発明の更に別の局面に従って、メモリ・コントローラにおける上記プログラム手段をプログラムする方法が提供される。該方法は、(a)ある1つの所与の値に対して上記プログラム手段をプログラムするステップ、(b)メモリ・コントローラを使用してメモリ手段にデータを書き込むステップ、(c)メモリ・コントローラを使用してメモリ手段に書き込まれたデータを読み取るステップ、(d)上記ステップ(b)において読み取られたデータが上記ステップ(c)において書き込まれたデータと同一であるか否かを判断するステップ、(e)上記ステップ(d)が少くとも1つの所与の値に関して肯定の結果を与えるまで上記ステップ(a)乃至ステップ(d)を反復するステップ、および(f)上記少くとも1つの所与の値

に対して上記プログラム手段をプログラムするステップ、を含む。

【0014】1つの側面において、上記ステップ(e)は所与の値を増分させるステップを含み、この場合、一旦上記ステップ(d)が肯定の結果を与えたなら、ステップ(d)が否定の結果を与えるまで上記ステップ(a)乃至ステップ(d)が反復される。代替的には、上記ステップ(e)は所与の値を減分させるステップを含み、この場合、一旦上記ステップ(d)が肯定の結果を与えたなら、ステップ(d)が否定の結果を与えるまで上記ステップ(a)乃至ステップ(d)が反復される。いずれの場合においても、上記ステップ(f)は、それによってステップ(d)が肯定結果を出す値を含む範囲から1つの値を選択するステップを含む。

【0015】すべてのプログラム可能な値に関してステップ(e)を反復することも可能である。この場合、ステップ(f)は、(g)ステップ(d)が肯定的結果を出す値の複数の範囲を決定するステップ、および(h)それらの範囲の最大範囲を決定するステップを含み、上記プログラム手段が上記最大範囲に含まれる1つの値に対してプログラムされる。

【0016】本発明の更にまた別の局面に従って、メモリ・コントローラにおいて読み取られるデータの信頼性を向上させる方法が提供される。この方法は、クロック信号と読取ストロブ信号の間の遅延をプログラムするステップを含む。このプログラム方法は、例えばメモリ・コントローラの電源投入の時点で実行される。

#### 【0017】

【発明の実施の形態】図3は、いくつかのメモリ・モジュールを備える本発明に従ったメモリ・コントローラのブロック図である。図3のメモリ・コントローラ19は、データ・バス2を経由してメモリ・モジュール3、4および5から到来するデータをラッチするデータ・ラッチ機構6を含む。メモリ・モジュールは、例えばSDRAMモジュールから構成される。データ・ラッチ6は入力9上のストロブ信号によって動作可能にされる。メモリ・クロック信号MEMCLKはクロック信号線7上に存在する。従来技術の関連して上述されたものと同様な形態で、ストロブ信号によって、各クロック・サイクル毎にデータがラッチ6に読み込まれ、このデータはCTRL信号がオンとされた後の所定のMEMCLKサイクル数経過後に有効データとして取り扱われる。

【0018】本発明に従って、メモリ・コントローラ19は、クロック信号MEMCLKと連係するタイミングでストロブ信号を生成するようにプログラムするプログラム手段20を含む。このようなプログラム手段を使用して、メモリ構成に応じたストロブ遅延をプログラムすることが可能であり、これにより、CTRL信号に対応した正しいデータ読み取りが保証される(メモリ・データ読取信号CTRLのタイミングをMEMCLK信号と合わせることで

可能であるので、ストローブ信号のタイミングをMEMCLK信号に合わせることは可能である)。図3に示されるように、プログラム手段20は、例えば、メモリ・クロック信号線7とデータ・ラッチ6の入力9の間に接続されるプログラム可能遅延線を含むことができる。このプログラム遅延線は、既知の方法で遅延持続時間を決定するプログラム可能レジスタを含むこともできる。この構成は、メモリ・コントローラの1つのレジスタの単純なソフトウェア・プログラミングによってストローブ遅延のプログラム化の実施を容易にさせるものである。

【0019】ストローブ遅延の範囲および増減単位は、例えば、125MHzのクロック周波数で最高4つのメモリSDRAMモジュールにアクセスするメモリ・コントローラに関して、2ないし10ナノ秒の範囲および150ピコ秒の増減単位が十分なものであると判明している。プログラム手段20がメモリ・コントローラのレジスタを含むとすれば、このレジスタのサイズは、ストローブ遅延の範囲および増減単位によって決定される。

【0020】図3は、本発明の理解に必要なメモリ・コントローラのコンポーネントだけを示している。メモリ・コントローラ19の他のコンポーネントは表現されていない。例えば、本実施形態において、メモリ・コントローラは、CTRL信号オンの後のあらかじめ定められたメモリ・サイクル数の後データ・ラッチ6の読み取りを動作可能にする電気回路を含むであろうが、この回路は図3に示されていない。

【0021】当然のことながら、プログラム可能遅延線を使用して制御信号CTRLに基づいてストローブ信号を派生させることによって、図1の形態のメモリ・コントローラにおいて本発明を実施することもまた可能であろう。CTRL信号がMEMCLKとタイミングを同じにされるので、図3のような実施形態は、ストローブ信号は間接的ではあるがMEMCLK信号とタイミングを同じにされる。

【0022】どのような実施形態であろうと、この発明を実施するメモリ・コントローラは、状況に応じて、すなわち、例えばメモリ・モジュール構成やメモリ搭載等々に対応したストローブ信号遅延のプログラム化を可能にする。これは、メモリ・バス上の負荷やメモリ・コントローラの実際の構成における変化にかかわらず、いかなるメモリ構成においても信頼性を保ちながらメモリ・コントローラが全速力で動作することを可能にする。

【0023】ストローブ信号遅延のプログラム手段へのプログラム実行は、いつでも必要な時に実施できる。本発明の1つの好ましい実施形態において、ストローブ信号を派生させる手段20は、メモリ・コントローラの電力投入時に遅延プログラミング装置25によってプログラムされ、メモリ構成のいかなる変化も適切に考慮されることが保証される。また、メモリ構成の変化が検出される毎にいつでもプログラムを実施することが可能である。プログラム手段20をプログラムする装置25は、

メモリ・コントローラの内部または外部においてあるいはファームウェア制御の下で動作するシステム・マイクロプロセッサによって提供される専用ハードウェア電気回路の形式を持つ場合もある。

【0024】図4は、本発明に従ったストローブ信号遅延をプログラムする方法の流れ図である。図4の方法は、ストローブ信号を派生させるプログラム手段のための簡単で迅速な方法である。図4の方法において、ストローブ信号を派生させる手段20は、メモリ・クロック信号とストローブ信号の間の遅延 $\Delta$ を設定するようにプログラムされることができると仮定される。遅延 $\Delta$ は、範囲 $\Delta_{min}$  -  $\Delta_{max}$ および増減単位 $\delta$ を用いてプログラムされる。

【0025】ステップ30-42において、メモリからのデータの正しい読み取りを保証する最低値 $\Delta$ を決定する。ステップ30において、遅延 $\Delta$ は最小値 $\Delta_{min}$ に設定される。ステップ31において、データがメモリに書かれる。ステップ32において、メモリからデータが読み取られる。ステップ33において、メモリから読み取られたデータがメモリに書き込まれたデータと比較される。読取データと書込データが相違すれば、プログラムはステップ34へ進む。読取データと書込データが相違しなければ、プログラムはステップ35へ進む。ステップ34において、遅延は $\delta$ だけ増分される。次にプログラムはステップ31へ戻る。

【0026】ステップ35において、 $\Delta$ は、メモリにおける正しいデータ読み取りを既に行ったことがある値を持つ。複数の動作に関してこの値のデルタが正しいデータ読み取りを与えることを保証するため、好ましくはこのデータはステップ36-41において検査される。この信頼性テストは必須ではなくスキップしてもよい。スキップする場合プログラムはステップ42へ直接進む。

【0027】ステップ36-41において、 $i_{max}$ 書き込み/読み取り演算を実行することによって、 $\Delta$ の現在値を持つ書き込み/読み取り演算の信頼性が検査される。ステップ36において、パラメータ $i$ は1に設定される。ステップ37においてデータがメモリへ書かれる。ステップ38においてメモリからデータが読み取られる。ステップ39において、メモリから読み取られたデータがメモリに書き込まれたデータと比較される。読み取られたデータと書き込まれたデータが異なる場合、 $\Delta$ の現在値は信頼できないと判断される。読取データと書込データが同じ場合、プログラムはステップ40へ進む。

【0028】ステップ40において、 $i_{max}$ 書き込み/読み取り演算が実行されたかどうか、すなわち $i = i_{max}$ であるか、検査される。 $i = i_{max}$ でなければプログラムはステップ41へ進む。ステップ41において、 $i$ が1増分される。プログラムはステップ37へ進み、信頼性検査が繰り返される。ステップ40において $i = i_{max}$ であれば



ば、 $\Delta$ の現在値は、 $(imax+1)$ 回の読取/書込演算に関して信頼性があることが証明されたこととなる。次にプログラムはステップ42へ進む。

【0029】ステップ42において、 $\Delta$ の現在値が $\Delta^-$ として記憶される。 $\Delta$ のこの値は、データの読み取りが成功している最低値である。次に、 $\Delta$ の値は $g$ だけ増分され、プログラムはステップ43へ進む。

【0030】ステップ43-49において、プログラムは遅延に関する値 $\Delta^+$ を決定する。 $\Delta^-$ から $\Delta^+$ までの範囲において、データはメモリから正しく読み取られる可能性がある。ステップ43においてデータがメモリに書き込まれる。ステップ44においてデータはメモリから読み取られる。ステップ45において、メモリから読み取られたデータがメモリに書き込まれたデータと比較される。読取データと書込データが相違すれば、プログラムはステップ48へ進む。読取データと書込データが一致すれば、プログラムはステップ46へ進む。

【0031】ステップ46において、 $\Delta$ の現在値が少なくとも1つの正しいデータ読み取りを与えていると判断される。複数の読み書き動作に関してこの値が正しいデータ読み取りを与えることを保証するため、好ましくはこのデータはステップ36-41と同様のステップで検査される。しかしこの信頼性テストは必須ではなくスキップしてもよい。次に、 $\Delta$ の現在値が最大値 $\Delta_{max}$ と比較される。 $\Delta = \Delta_{max}$ であれば、プログラムはステップ49へ進み、そうでなければステップ47へ進む。ステップ47において、遅延 $\Delta$ は $g$ だけ増分され、プログラムはステップ43へ進む。

【0032】ステップ48において、少なくとも1つの正しいメモリ・データ読み取りを与える $\Delta$ の値が取得されている。このステップにおいて、 $\Delta^-$ と $\Delta^-g$ の間の $\Delta$ 値すなわち $\Delta$ の現在値から1増分減じた値がメモリの正しい読み取りを保証すると判断される。値 $(\Delta^-g)$ が $\Delta^+$ として記憶される。次にプログラムはステップ50へ進む。ステップ49において、 $\Delta^-$ と $\Delta_{max}$ の間の $\Delta$ の値がメモリの正しい読み取りを与えると判断される。値 $\Delta_{max}$ が $\Delta^+$ として記憶され、プログラムはステップ50へ進む。

【0033】ステップ50において、 $\Delta^-$ および $\Delta^+$ の間の $\Delta$ の値がデータの正しい読み取りを与えると決定される。次に、遅延 $\Delta$ は、この範囲内の任意の値、例えば $(\Delta^+ - \Delta^-)/2$ に最も近い値にプログラムされる。

【0034】図4の方法は、遅延 $\Delta$ の単純で迅速な設定を可能にする。その他の方法も可能であり、図4の方法を修正することも可能である。例えば、図4の流れ図において、各読み取りステップが書き込みステップの後に続き、メモリに書き込まれる情報は各読み取り/書き込み動作毎に変わり、メモリの正しい統計的検査を確実にする。しかし、1つの書き込みステップだけを行い常に同じデータを読み取ることも可能である。更に、 $\Delta^+$ の

決定で開始して、次に $\Delta^-$ を決定することも可能である。これらのための必要な変更は当業者には明白であろう。

【0035】本発明の1つの好ましい実施形態において、いくつかの適切な読み取り窓 $[\Delta^-; \Delta^+]$ が存在するか否かを検証するため遅延値の全範囲が検査され、最大窓の $\Delta$ の値が好ましくは選択される。図5は、この方法の流れ図である。

【0036】第1のステップ60において、遅延 $\Delta$ は最小値 $\Delta_{min}$ に設定される。パラメータ $j$ は1に設定される。ステップ61において、例えば図4のステップ31-49を使用して、読取範囲または窓 $[\Delta^-; \Delta^+]$ が決定される。ステップ62において、 $\Delta^-$ および $\Delta^+$ の現在の値が $\Delta^-j$ および $\Delta^+j$ として記憶される。ステップ63において $\Delta^+$ が $\Delta_{max}$ と比較される。 $\Delta^+$ が $\Delta_{max}$ と等しければ、これ以上適切な窓は存在せず、プログラムはステップ65へ進む。 $\Delta^+$ が $\Delta_{max}$ と等しくなければ、ステップ64において、 $j$ は1だけ増分され、 $\Delta$ は $g$ だけ増分される。

【0037】ステップ65において、すべての可能な $j$ の値に関して、差 $(\Delta^+j - \Delta^-j)$ が計算される。最大の差が決定され、それが最大の読取窓を与える。

【0038】次にステップ66において、遅延 $\Delta$ は、この最大読取窓における任意の値、例えば $(\Delta^+j - \Delta^-j)/2$ に最も近い値にプログラムされる。但し、 $j$ はステップ65で決定された最大読取窓のインデックスであるとする。

【0039】図5の方法は、遅延のための値がメモリからのデータ読み取りに適切でかつ可能な限り最大の範囲において選択されることを保証する。

【0040】以上、本発明を実行する最良のモードを1つの例として記述したが、上記以外の実施形態を使用することも可能である。例えば、図4に示された以外の方法を使用して、ストロブ信号遅延をプログラムすることも可能である。他の適当なプログラミング能力が提供されるならば、メモリ・コントローラにおけるレジスタ以外のプログラミング手段20を使用することも可能である。

【0041】システム動作の間あらかじめ定められた時点でのストロブ信号遅延のための特定値をプログラムすることに加えて、供給電圧および温度の変化に応じて、プログラムされる遅延値を徐々に増加させて調整するように遅延プログラム装置25を構成することも可能である。これによって、メモリ・コントローラの使用の間のストロブ信号の変移が補正される。これは、メモリ・サブシステムにおける信号の遅延特性に反応するパラメータの値を測定する回路を使用することによって実施することができる。例えば、測定されるパラメータは、あらかじめ定められた信号の遅延を生成するために必要とされるインバータ連鎖におけるインバータの数で

ある。装置25は、更に、測定されるパラメータ値の時間的変化にตอบสนองして、プログラム遅延機構20に設定される遅延の適切な変化を決定する手段を含む。これらの手段は、参照テーブルの形式をとることができる。一旦適切な遅延変化が決定されたならば、装置25は、プログラムされた遅延を相応の量だけ変更する。

【0042】ストローブ信号を生成する最も単純な方法は、上述のようにMEMCLKまたはCTRL信号のいずれかを遅延させることではあるが、その他の方法も可能であることは認められるであろう。例えば、独立したクロック回路を使用してストローブ信号を生成することができる。このクロック回路は、適当なフェーズロックドループ(phase-locked loop)によってMEMCLK信号と所望のフェーズ関係で同期化される。

【0043】本発明には、例として次のような実施形態が含まれる。

(1) クロック信号のためのクロック信号線と、少なくとも1つのメモリ・モジュールに接続するデータ受け取り手段と、上記データ受け取り手段に接続しストローブ信号の制御のもとデータをラッチするデータ・ラッチ手段と、上記クロック信号に連係するようにプログラムされたタイミングで上記ストローブ信号を提供するプログラム可能手段と、を備えるメモリ・コントローラ。

(2) 上記プログラム手段が、上記クロック信号線と上記データ・ラッチ手段の間に配置されて動作するプログラム可能遅延手段を含む、上記(1)に記載のメモリ・コントローラ。

(3) 上記プログラム手段が、上記クロック信号と連係したタイミングで生成されるメモリ読取信号を搬送する機能を持つメモリ制御信号線と上記データ・ラッチ手段の間に配置されて動作するプログラム可能遅延機構を更に含む、上記(1)に記載のメモリ・コントローラ。

(4) 上記プログラム手段が上記プログラムされるタイミング関係を設定するためのレジスタを含む、上記(1)乃至(3)のいずれかに記載のメモリ・コントローラ。

【0044】(5) 少なくとも1つのメモリ・モジュールと上記(1)に記載のメモリ・コントローラを備えるシステムであって、ストローブ信号を作成するため上記プログラム手段を自動的にプログラムする機能を持つ遅延プログラミング手段を含むシステム。

(6) 上記プログラム手段が該システムの電力投入と同時にプログラムを実行する、上記(5)に記載のシステム。

(7) 少なくとも1つのメモリ・モジュールと上記(1)に記載のメモリ・コントローラを備えるシステムであって、該システムが、信号遅延特性の変化を検出するため該システムにおける信号遅延特性を示すパラメータの値を定期的に測定する第1の手段と、上記第1の手段によって検出される信号遅延特性における変化にตอบสนองして、

上記プログラム手段のプログラムを漸増的に変更して、上記変化に対応するように上記タイミングを補正する第2の手段と、を更に備える、システム。

【0045】(8) 上記(1)に記載のメモリ・コントローラにおけるプログラム手段をプログラムする方法であって、ある1つの所与の値に対して上記プログラム手段をプログラムするステップ(a)と、メモリ・コントローラを使用してメモリ手段にデータを書き込むステップ(b)と、メモリ・コントローラを使用してメモリ手段に書き込まれたデータを読み取るステップ(c)と、上記ステップ(b)において読み取られたデータが上記ステップ(c)において書き込まれたデータと同一であるか否かを判断するステップ(d)と、上記ステップ(d)が少なくとも1つの所与の値に関して肯定の結果を与えるまで上記ステップ(a)乃至ステップ(d)を反復するステップ(e)と、上記少なくとも1つの所与の値に対して上記プログラム手段をプログラムするステップ(f)と、を含む方法

(9) 上記ステップ(e)が所与の値を増分させるステップを含み、一旦上記ステップ(d)が肯定の結果を与えたなら、ステップ(d)が否定の結果を与えるまで上記ステップ(a)乃至ステップ(d)が反復される、上記(8)に記載の方法。

(10) 上記ステップ(e)が所与の値を減分させるステップを含み、一旦上記ステップ(d)が肯定の結果を与えたなら、ステップ(d)が否定の結果を与えるまで上記ステップ(a)乃至ステップ(d)が反復される、上記(8)に記載の方法。

(11) 上記ステップ(f)が、それによって上記ステップ(d)が肯定結果を出す値を含む範囲から1つの値を選択するステップを含む、上記(9)または(10)の一ずれかに記載の方法。

(12) すべてのプログラム可能な値に関して上記ステップ(e)が反復される、上記(8)に記載の方法。

(13) 上記ステップ(f)が、上記ステップ(d)が肯定的結果を出す値の複数の範囲を決定するステップ(g)とそれらの範囲の最大範囲を決定するステップ(h)とを含み、上記プログラム手段が上記最大範囲に含まれる1つの値に対してプログラムされる、上記(12)に記載の方法。

【0046】(14) メモリ・コントローラにおいて読み取られるデータの信頼性を向上させるため、クロック信号と読取ストローブ信号の間の遅延をプログラムするステップを含む方法。

(15) 上記プログラムが上記メモリ・コントローラの電力投入時に実行される、上記(14)に記載の方法。

(16) 上記プログラムが電圧変動に応じた補正を行うように実行される、上記(14)に記載の方法。

(17) 上記プログラムが処理の負荷の変動に応じた補正を行うように実行される、上記(14)に記載の方法。

(18) 上記プログラムが温度変動に応じた補正を行うように実行される、上記(14)に記載の方法。

【0047】

【発明の効果】本発明によって、例えばより高速なメモリの装着や同一メモリ・バス上の実装メモリ・モジュールの増加などのメモリ構成の変化に対応して、メモリ・コントローラのハードウェアを変更することなく、ストロープ信号の最適タイミングを決定することができる柔軟性が与えられる。

【図面の簡単な説明】

【図1】いくつかのメモリ・モジュールを備える従来技術のメモリ・コントローラを示すブロック図である。

【図2】図1の装置における種々の信号のタイミングを示すブロック図である。

【図3】いくつかのメモリ・モジュールを備える本発明に従ったメモリ・コントローラのブロック図である。

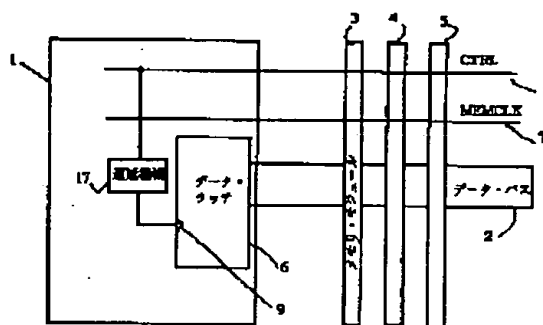
【図4】本発明に従ってストロープ信号遅延をプログラムする方法の流れ図である。

【図5】本発明に従ってストロープ信号遅延をプログラムする別の方法の流れ図である。

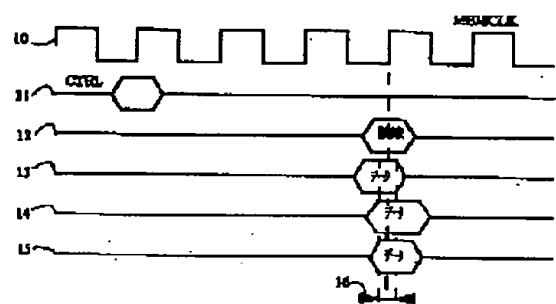
【符号の説明】

- 1、19 メモリ・コントローラ
- 2 データ・バス
- 3、4、5 メモリ・モジュール
- 6 データ・ラッチ機構
- 7 メモリ・クロック信号線
- 8 メモリ制御信号線
- 9 入力
- 10 メモリ・クロック・タイミング
- 11 制御信号タイミング
- 12 ストロープ信号タイミング
- 13、14、15 データ読み書きタイミング
- 16 データ窓
- 17 遅延機構
- 20 プログラム可能遅延機構
- 25 遅延プログラミング手段

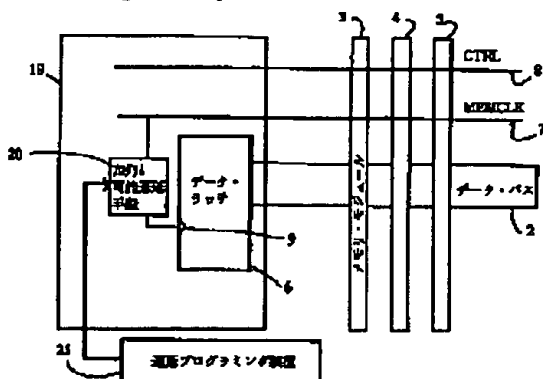
【図1】



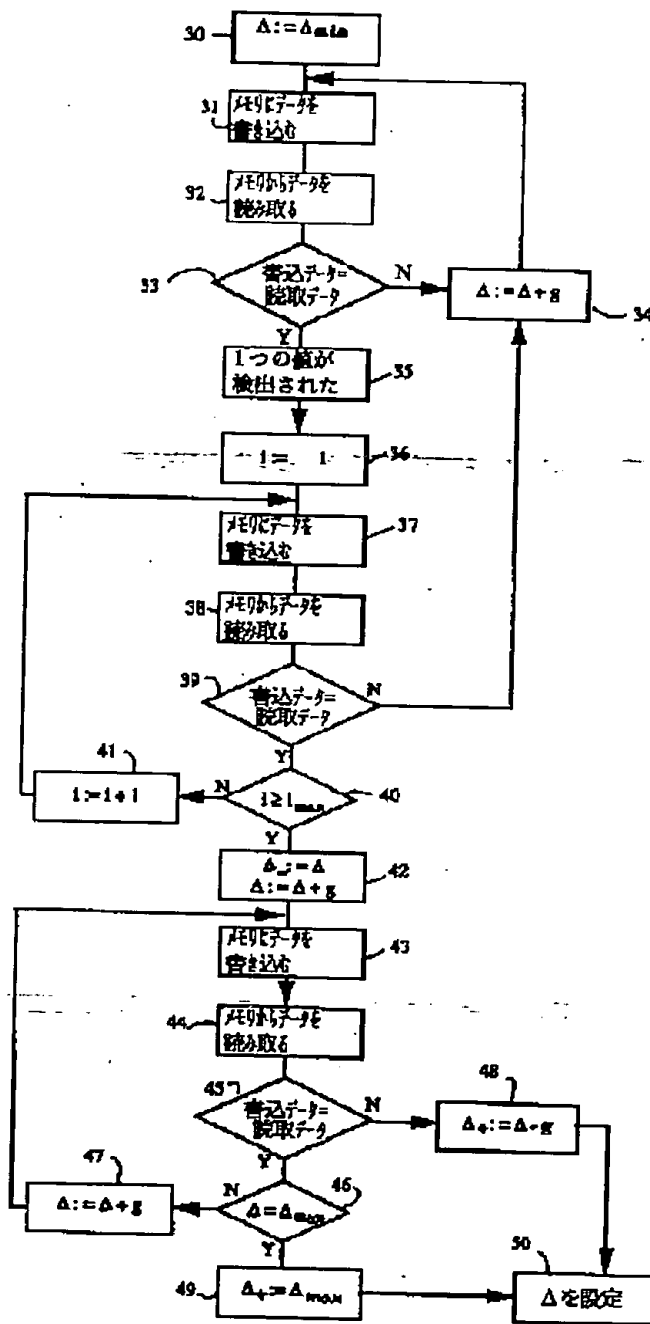
【図2】



【図3】



【図4】



【図5】

